

DRIVING METHOD FOR LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP4165329

Publication date: 1992-06-11

Inventor(s): TOMITA OSAMU; others: 01

Applicant(s): TOSHIBA CORP

Requested Patent: JP4165329

Application Number: JP19900290749 19901030

Priority Number(s):

IPC Classification: G02F1/133; G09G3/36; H04N5/66

EC Classification:

Equivalents: JP2585463B2

Abstract

PURPOSE: To effect effective drive in response to the number of various effective scanning lines by simultaneously selecting a plurality of scanning lines during a return period to read a non-display signal, regarding a scanning line not used for display even when display having the number of effective scanning lines lower than the whole number of scanning lines is carried out.

CONSTITUTION: Whole effective scanning line P ($j=1, 2, \dots, 400$) is scanned during a display period T_d to display information. When selection of, for example, a 400th scanning electrode Y_j (21) is completed, only 401st - 480th scanning electrodes Y_j (21) are brought into a state to be simultaneously set by means of a set signal SET inputted from a SET signal terminal 215. Thereby, a set signal ST transferred by means of a subsequent shift clock signal CK produces a gate pulse GP for each of 401st - 480th scanning electrodes Y_j (21). This method causes collective application of non-display signals 81 during a return period T_b , regarding scanning lines P_j in a non-display region 25.

Data supplied from the esp@cenet database - I2

Best Available Copy

⑰ 公開特許公報 (A)

平4-165329

⑯ Int. Cl. 5

G 02 F 1/133
G 09 G 3/36
H 04 N 5/66

識別記号

5 5 0
1 0 2 B

庁内整理番号

7634-2K
7926-5C
7205-5C

⑯ 公開 平成4年(1992)6月11日

審査請求 未請求 請求項の数 1 (全9頁)

⑰ 発明の名称 液晶表示装置の駆動方法

⑰ 特 願 平2-290749

⑰ 出 願 平2(1990)10月30日

⑰ 発明者 富田 修 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

⑰ 発明者 宮木 宏明 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

⑰ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰ 代理人 弁理士 則近 慎佑 外1名

明細書

1. 発明の名称

液晶表示装置の駆動方法

2. 特許請求の範囲

複数本の走査線により構成される表示領域を備え、前記走査線数と入力映像信号の有効走査線数とが等しい第1の表示モードと、前記走査線数よりも前記有効走査線数が少ない第2の表示モードとを備えた液晶表示装置の駆動方法において、前記第2の表示モードは、1フレーム期間内の帰線期間内に前記有効走査線以外の前記走査線を複数本同時に走査することを特徴とした液晶表示装置の駆動方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は液晶表示装置の駆動方法に係り、特に入力映像信号の有効走査線数が異なる表示が可能な液晶表示装置の駆動方法に関する。

(従来の技術)

近年、液晶表示装置は小型、低消費電力等の利点を生かして、テレビ、パーソナルワードプロセッサ、パーソナルコンピュータ等のディスプレイとして数多く使用されるようになってきた。

中でも、各画素毎に非線形要素が設けられたアクティブマトリックス型液晶表示装置は、各画素毎に設けられた非線形要素をスイッチング駆動させることにより、走査線数を増加させても高品位な表示が可能であることから、注目を集めている。

このアクティブマトリックス型液晶表示装置について、第1図を参照して説明する。

第1図は、アクティブマトリックス型液晶表示装置(1)の概略構成図を示すもので、信号電極駆動回路(101)に接続されたn本の信号電極X_i(i=1, 2, ..., n)(11)と、走査電極駆動回路(201)に接続されたm本の走査電極Y_j(j=1, 2, ..., m)(21)がマトリックス状に配置されており、各交点には薄膜トランジスタ(31)に接続された画素電極(41)が設置されている。

そして、一つの走査電極Y_j(21)に接続される

複数の画素電極(41)によってm本の走査線P_j(j=1, 2, ..., m)は構成されている。

この薄膜トランジスタ(31)は、ゲート電極(31a)が走査電極Y_j(21)に、ソース電極(31b)が信号電極X_i(11)に、ドレイン電極(31c)が画素電極(41)に接続されており、ゲート電極(31a)に入力される走査電極駆動回路(201)からのゲートバルスGPに応じてソース電極(31b)とドレイン電極(31c)間のオン／オフ制御が成されるものである。

そして、このような液晶表示装置(1)は次のように動作する。即ち、信号電極駆動回路(101)には、映像信号SIGが入力され、デジタルあるいはアナログ処理された1表示画素信号が1走査期間毎に各信号電極X_i(11)に印加される。

この映像信号SIGは、1フレーム期間T_fが表示期間T_dと帰線期間T_bとによって構成されるもので、この帰線期間T_bは、CRTディスプレイを想定して、陰極線が走査開始位置に復帰する時間を考慮して設けられている。

する必要がある。

例えば、走査線数が400本の液晶表示装置のうち、全走査線の半数の200本を有効走査線として使用して表示を行う場合、ブラウン管では200本の有効走査線のみを走査するのに対して、液晶表示装置では表示に使用されない走査線についても走査する必要がある。

このため、200本の走査線を走査する1走査期間で全走査線を順次走査すると、1フレーム期間T_f内に全走査線を走査することができなくなってしまう。

そこで、液晶表示装置の全走査線数よりも有効走査線数が少い場合、1走査期間を短縮して全走査線について走査する方法、即ち時間軸を変更して走査する方法がある。

しかし、このような時間軸の変更を伴う方法では、装置内に時間軸変更手段が必要である他、フレームメモリ等の記憶素子を持たせて1表示画面の映像信号SIGを一度メモリさせた後に順次出力させる必要がある。

また、走査電極駆動回路(201)には、走査スタート信号STと、この走査スタート信号STを各走査電極Y_j(21)に転送するためのシフトクロックCKとが入力される。これにより、各走査電極Y_j(21)が順次選択され、1フレーム期間T_fで1画面が構成されることとなる。

(発明が解決しようとする課題)

ところで、近年では表示領域を構成する走査線(以下、有効走査線と称する。)の数は、使用されるソフトウェア等により200本のものから480本まで様々である。

自己発光型のブラウン管あるいはプラズマディスプレイ等は、有効走査線以外の走査線については自動的に黒が表示されるため、走査を行う必要がない。しかし、液晶表示装置は自己発光型ではないため、液晶の誤動作を防止するためにも有効走査線以外の走査線についても何等かの電圧を印加する必要がある。

このため、液晶表示装置では非表示領域を構成する走査線についても走査し、非表示信号を印加

このため、上述したような時間軸の変更を伴う駆動方法では、時間軸変更手段あるいは記憶素子を持たせる必要から、装置の大型化、高コスト化を招くため、好ましい方法とはいえない。

本発明は上述した課題に鑑みなされたもので、全走査線数よりも有効走査線数が少ない表示を行う場合であっても、装置の大型化あるいは高コスト化を招くことのない液晶表示装置の駆動方法を提供することを目的としたものである。

[発明の構成]

(課題を解決するための手段)

本発明は、複数本の走査線により構成される表示領域を備え、走査線数と入力映像信号の有効走査線数とが等しい第1の表示モードと、走査線数よりも有効走査線数が少ない第2の表示モードとを備えた液晶表示装置の駆動方法であって、第2の表示モードは、1フレーム期間内に帰線期間内に有効走査線以外の走査線を複数本同時に走査することを特徴としたものである。

(作用)

上述したように、全走査線よりも有効走査線が少ない表示を行う場合、本発明の液晶表示装置の駆動方法では、1フレーム期間Tf内の帰線期間Td内に有効走査線以外の走査線を複数本同時に走査するものである。

このようにして液晶表示装置を駆動することにより、全走査数よりも入力映像信号の有効走査線数が少ない場合であっても、時間軸の変更等を伴う必要がない。これにより、本発明の駆動方法によれば、装置内部に時間軸変更手段あるいは記憶素子等を設ける必要なく、1フレーム期間Tf内に全走査線を十分に走査することが可能となる。

有効走査線以外の走査線には、例えば0V印加時に黒表示となる液晶表示装置であれば、非表示領域に0Vの電圧を印加することにより、表示領域と非表示領域との間で高いコントラスト特性を得ることができ、本発明の駆動方法には特に好ましい。

また、有効走査線以外の走査線を走査するタイミングとしては、1フレーム期間Tf内の帰線期間

Tb内であればいつでも良い。また、有効走査線以外の走査線を一括して走査するものであっても、あるいは複数に分割して走査するものであっても良いが、装置構成の簡易化を考慮すると一括して走査することが好ましい。

(実施例)

以下、本発明の一実施例の液晶表示装置の駆動方法について、図面を参照して説明する。

第1図は本発明の液晶表示装置の駆動方法を実現するための一実施例の液晶表示装置(1)の概略構成図を示すもので、信号電極駆動回路(101)に接続された640本の信号電極X_j(j=1,2,...,640)(11)と、走査電極駆動回路(201)に接続された480本の走査電極Y_j(j=1,2,...,480)(21)がマトリックス状に配置されており、各交点には薄膜トランジスタ(31)に接続された画素電極(41)が設置されている。

そして、一つの走査電極Y_j(21)に接続される複数の画素電極(41)によって走査線P_j(j=1,2,...,480)(図示せず)は構成されることとなる。

この薄膜トランジスタ(31)は、ゲート電極(31a)が走査電極Y_j(21)に、ソース電極(31b)が信号電極X_j(11)に、ドレイン電極(31c)が画素電極(41)に接続されており、ゲート電極(31a)に入力される走査電極駆動回路(201)からのゲートバルスGPに応じてソース電極(31b)とドレイン電極(31c)間のオン／オフが制御されるものである。また、各画素電極(41)に対応する対向電極(51)とによって液晶組成物(61)が保持されており、画素電極(41)と対向電極(51)との間の電位差が0Vの時に黒表示となる液晶表示装置(1)とした。

この液晶表示装置(1)を用いて、第2図に示すように全走査線P_j(j=1,2,...,480)(22)数480本のうち表示領域(24)が400本の有効走査線P_j(j=1,2,...,400)によって構成される第2の表示モードについて説明する。

信号電極駆動回路(101)には、第3図に示す表示信号(83)と非表示信号(81)とを有する映像信号SIGが入力され、1走査期間毎に1走査線P_j(22)分の映像信号SIGが各信号電極X_j(11)に順

次出力される。また、走査電極駆動回路(201)からは、第3図に示すゲートバルスGPが1走査期間毎に各走査電極Y_j(21)に順次印加される。

これにより、表示期間Td内に有効走査線P_jは順次走査され、表示領域(24)に表示信号が表示される。

また、帰線期間Tb内に非表示領域(25)の走査線P_j(j=401,402,...,480)は一括して走査され、非表示領域(25)は黒表示となる。

このようにして1フィールド期間Tf内に全走査線P_j(j=1,2,...,480)(22)について走査が行われ、1表示画面が構成されることとなる。

次に、このようなゲートバルスGPを発生させるための走査電極駆動回路(201)の具体的な構成について第4図を参照して説明する。

第4図は走査電極駆動回路(201)の要部等価回路図を示すもので、ST信号端子(213)からの走査スタート信号STをCK信号端子からのクロック信号CKによって順次転送するように接続された480個のDフリップフロップD_{1j}(203)(j=1,2,...,

.480) によって構成されるセット・リセット機能を有するシフトレジスタを備えている。

このDフリップフロップD_{1j}(203)からの出力はレベルシフタ(209)により所定の電圧となるよう制御された後に、各走査電極Y_j(21)にゲートバルスGPとして印加されるように接続されている。また、DフリップフロップD_{1j}(203)には、このDフリップフロップD_{1j}(203)をセット・リセット制御するためのANDゲート(207)の出力が接続されている。そして、ANDゲート(207)の一方の入力端子は、SET信号端子(215)に接続され、他方の入力端子はDフリップフロップD_{1j}(203)の出力をクロックとして動作するDフリップフロップD_{2j}(205)(j=1,2,...,480)の出力に接続されて走査電極駆動回路(201)は構成されている。

このような回路構成の走査電極駆動回路(201)のCK信号端子(211)、ST信号端子(213)、SET信号端子(215)、CLR信号端子(217)に第3図に示すようなシフトロック信号CK、走査スタート信号ST、セット信号SET、クリア信号CLRを印加す

ることにより、上述したような表示動作が可能となる。

即ち、走査スタート信号STはシフトロック信号CKにより順次DフリップフロップD_{1j}(203)に転送され、各走査電極Y_j(21)にゲートバルスGPとして出力される。これにより、表示期間Td内に全有効走査線P_j(j=1,2,...,400)が走査されて情報の表示が行なわれる。

そして、400本目の走査電極Y_j(21)の選択が終了すると、SET信号端子(215)から入力されるセット信号SETにより、401本から480本の走査電極Y_j(21)、即ち非表示領域(25)の走査電極Y₁(21)のみが同時にセット可能な状態となる。これにより、次のシフトロック信号CKにより転送されてくるセット信号STは、401本から480本目の各走査電極Y_j(21)のゲートバルスGPとなるようにレベルシフタ(209)により所定の電圧とされて出力される。これにより、帰線期間Tb内に非表示領域(25)の走査線P_jについては、非表示信号(81)(第3図参照)が一括して印加されること

となる。

そして、クリア信号CLRにより、全DフリップフロップD_{1j}(203)がリセットされ、次の表示が可能となる。

上述したように、本実施例の液晶表示装置の駆動方法よれば、全走査線P_j(22)数よりも有効走査線P_j数の少ない駆動をに対しても、帰線期間Tb内に非表示領域(25)の走査線P_j(22)について一括して非表示信号(81)を印加することにより、時間軸を短縮等する必要なく、簡単な回路構成で容易に行なうことができる。

次に、本発明の他の実施例の液晶表示装置の駆動方法について説明する。

第5図は、400本の有効走査線P_j(j=41,42,...,440)により表示領域(24)が構成される第2の表示モードの表示画面を示すもので、表示領域(24)の上下40本の走査線P_jによって構成される非表示領域(23),(25)とを備えている。

このような表示は、例えば第6図に示すゲートバルスGPにより各走査電極Y_j(21)を選択し映像

信号SIGを印加することにより、容易に可能とできる。

第6図に示す映像信号SIGは、1フレーム期間Tfが表示期間Tdと帰線期間Tbによって成るもので、表示期間Tdは表示信号(83)と非表示信号(81)によって構成されている。

第6図に示されるゲートバルスGPが1走査期間毎に順次走査電極Y_j(21)に印加され、有効走査線P_j(j=41,42,...,440)により表示情報の表示が行なわれる。

そして、1フレーム期間Tf内の帰線期間Tb内に、第6図に示されるゲートバルスGPにより有効走査線P_j(j=41,42,...,440)以外の走査線P_j(j=1,2,...,40), P_j(j=441,...,480)が一括して走査され、非表示信号(81)が印加される。このようにして、1フレーム期間Tf内に全ての走査線P_j(22)が走査され、1表示画面が構成されることとなる。

次に、このような駆動を可能ならしめるための液晶表示装置(1)の走査電極駆動回路(201)の一実施例を、第7図の走査電極駆動回路(301)の等

価回路図を参照して説明する。

D フリップフロップ D 1 j(j=1, 2, ..., 480)(303)によってシフトレジスタが構成されており、初段の D フリップフロップ D 1 1(303)には、入力端子(317)から入力される入力信号 D13 が入力され、入力端子(319)から入力されるシフトクロック CK 2 によって順次転送される。

この各 D フリップフロップ D 1 j(303)の各出力端子 Q は次段の D フリップフロップ D 1 j(303)の入力となると共に、2つの入力の選択が可能なスイッチ素子 S j(j=1, 2, ..., 480)(305)を制御するよう各スイッチ素子 S j(305)に接続されている。そして、初段のスイッチ素子 S 1(305)の一方の入力端子には入力端子(311)からの信号 D11 を入力するように接続されており、他のスイッチ素子 S j(305)の入力端子には D フリップフロップ D 2 j(j=1, 2, ..., 479)(307)の出力端子 Q が接続されている。また、スイッチ素子 S j(305)の他方の入力端子には、入力端子(315)からの信号 D12 を入力するように接続されている。

モードに対応することができる。

また、入力端子(217)に入力される信号 D13 により、表示位置についても容易に種々変更することができる。

次に、本発明の他の実施例について図面を参照して説明する。

上述した実施例と同様に、第 5 図に示すように全走査線 P j 数 480 本のうち有効走査線 P j 数が 400 本の第 2 の表示モードについて説明する。

第 8 図は、本実施例の液晶表示装置の駆動方法の一実施例を示すタイミング図であり、本実施例の液晶表示装置(1)の駆動方法は有効走査線 P j (j=41, 42, ..., 440)を 1 走査期間毎に順次走査し表示信号(83)を印加した後に、1 フレーム期間 T f 内の帰線期間 Tb 内に有効走査線 P j (j=41, 42, ..., 400)以外の走査線 P j (j=1, ..., 40)を走査して非表示信号(81a)を、更に走査線 P j (j=441, ..., 480)を走査して非表示信号(81b)を印加するものである。

このように全走査線 P j よりも有効走査線 P j

また D フリップフロップ D 2 j(307)の入力端子 D は隣接するスイッチ素子 S j(305)の出力端子に接続されると共に、バッファ BF j(j=1, 2, ..., 480)(309)を介して各走査電極 Y j(21)に接続されて走査電極駆動回路(201)は構成されている。

そして、入力端子(317)に所定の信号 D13 を入力することにより、スイッチ素子 S j(j=1, ..., 40), S j(j=441, ..., 480)(305)が入力端子(315)からの入力信号 D12 を選択するように制御され、スイッチ素子 S j(j=41, ..., 440)(305)が D フリップフロップ D 2 j(j=40, ..., 439)(307)の出力端子 Q に接続されるように制御する。これにより、第 6 図に示すようなゲートバルス GP を容易に出力することが可能となる。

ここでは走査線 P j(j=41, ..., 440)を表示領域(24)として、走査線 P j(j=1, ..., 40), P j(j=441, ..., 480)を非表示領域(23), (25)として表示を行う有効走査線数 400 の表示モード(第 5 図参照)について説明したが、入力端子(217)に入力される信号 D13 により種々の有効走査線 P j 数の表示

が少ない第 2 の表示モードでは、有効走査線 P j 以外の走査線 P j を帰線期間 Tb 内に 2 分割して非表示信号(81a), (81b)を印加するものであっても良い。

このようにしても、上述した実施例と同様に液晶表示装置(1)内にフレームメモリ等の記憶素子あるいは時間軸変更手段等を設ける必要なく、容易に種々の有効走査線数に対応して表示を行うことができる。

次に、このような駆動を可能ならしめるための液晶表示装置(1)の走査電極駆動回路(401)の一実施例を、第 9 図の走査電極駆動回路の等価回路図を参照して説明する。

第 9 図において、シリアルパラレル変換回路(403)からの出力により、各スイッチ素子 S 1 j (j=1, 2, ..., 480)(405)は制御されるように構成されている。この初段のスイッチ素子 S 1 1(405)は 3 つの入力端子(421), (425), (427)に接続され、入力 D11, D12, D13 が選択可能にとなっている。

そして、他のスイッチ素子 S 1 j(j=2, ..., 480)

(405) は、入力端子(421)に代わり、D ブリッピングロップ D_j(j=1, 2, ..., 479)(407)の出力 Q に接続されている。

また、この D ブリッピングロップ D_j(407)の出力 Q は出力バッファ B F_j(j=1, 2, ..., 480)(409)を介して各走査電極 Y_j(21)に接続されると共に、スイッチ素子 S_{2j}(j=1, 2, ..., 480)(411)を介して次段のスイッチ素子 S_{2j}(j=1, 2, ..., 480)(411)の入力となる。このスイッチ素子 S_{2j}(411)は、スイッチ素子 S_{1j}(j=2, ..., 480)(405)と同様にシリアルパラレル変換回路(403)からの出力によりオン／オフ制御される。

このようにして構成される走査電極駆動回路(401)のシリアルパラレル変換回路(403)に所定の信号を入力することにより、スイッチ素子 S_{1j}(j=1, 2, ..., 40)(405)が入力 D₁₃に、スイッチ素子 S_{1j}(j=41, 42, ..., 440)(405)が D ブリッピングロップ D_j(j=40, 41, ..., 439)(407)の出力 Q に、更にスイッチ素子 S_{1j}(j=441, 442, ..., 480)(405)が入力 D₁₂に接続される。また、スイッチ S_{2j}(j=

440)(411)のみが接続状態となる。

これにより、走査電極 Y_j(21)に一括してゲートバルス GP が印加され、走査線 P_j(j=1, 2, ..., 40)に一括して非表示信号(81b)が印加されることとなる。そして、有効走査線 P_j(j=41, 42, ..., 440)を構成する走査電極 Y_j(j=41, 42, ..., 440)(21)には、1 走査期間毎にゲートバルス GP が順次印加され、これにより表示信号(83)が印加され 1 表示画面が構成される。更に、帰線期間 Tb 内に走査線 P_j(j=441, 442, ..., 480)が一括して走査され、非表示領域(25)に非表示信号(81a)が印加されることとなる。

本実施例の液晶表示装置の駆動方法を実現するための走査電極駆動回路(401)として、例えば上述した構成とすることにより、シリアルパラレル変換回路(403)に入力される信号を種々設定することにより、表示位置等を変えることも容易となる。

以上詳述したように、本実施例の液晶表示装置の駆動方法によれば、1 フレーム期間 Tf の帰線期

間 Tb 内に有効走査線以外の走査線を一括あるいは複数の組に分割して走査することにより、時間軸の変更等を伴なう必要なく 1 フレーム期間 Tf の帰線期間 Tb 内に全走査線について走査することが可能となる。

これにより、本発明を実現するための回路構成も非常に容易なものにできる。

[発明の効果]

上述したように、本発明の液晶表示装置の駆動方法によれば、全走査線数よりも有効走査線数が少ない表示を行う場合であっても、表示に使用されない走査線については帰線期間 Tb 内に複数本の走査線を同時に選択して非表示信号を書き込むことにより、時間軸の変更等を必要としない。このため、装置の大型化あるいは高コスト化を招くことのなく各種の有効走査線数に対応して有効に駆動することができる。

4. 図面の簡単な説明

第 1 図は本発明の駆動方法を実現するための一実施例の液晶表示装置の概略構成図、第 2 図は

第 1 図における液晶表示装置の第 2 のモードによる表示画面図、第 3 図は第 2 のモードによる表示画面を実現するための波形図、第 4 図は第 3 図の波形を出力させるための走査電極駆動回路の等価回路図、第 5 図は他の第 2 のモードによる表示画面図、第 6 図は第 2 のモードによる表示画面を実現するための他の波形図、第 7 図は第 5 図の波形を出力させるための走査電極駆動回路の等価回路図、第 8 図は第 5 図における表示画面を実現するための他の波形図、第 9 図は第 8 図の波形を出力させるための走査電極駆動回路の等価回路図である。

(1) … 液晶表示装置 (11) … 信号電極

(21) … 走査電極 (22) … 走査線

(23), (25) … 非表示領域

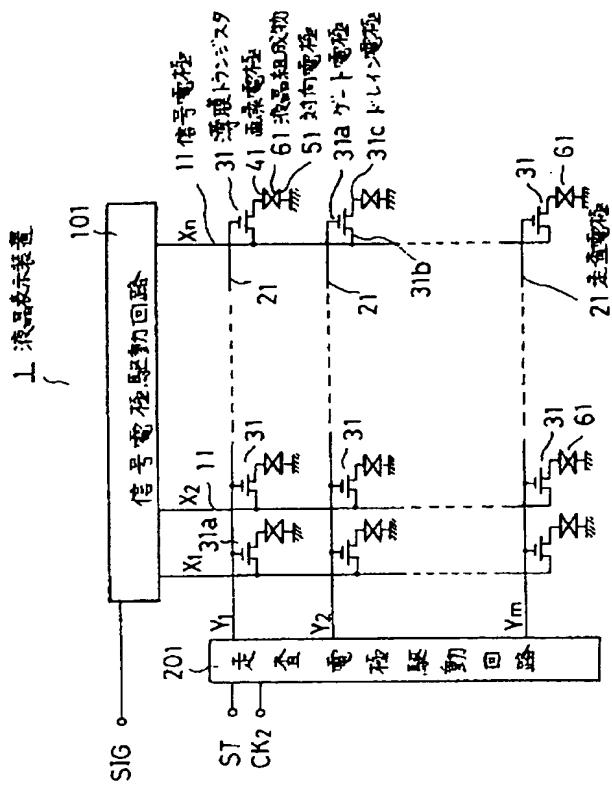
(24) … 表示領域

(101) … 信号電極駆動回路部

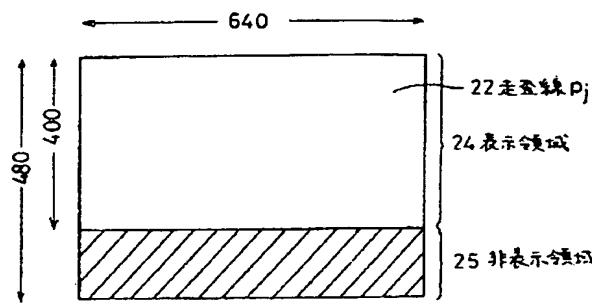
(201), (301), (401) … 走査電極駆動回路部

代理人 弁理士 則 近 恵 佑

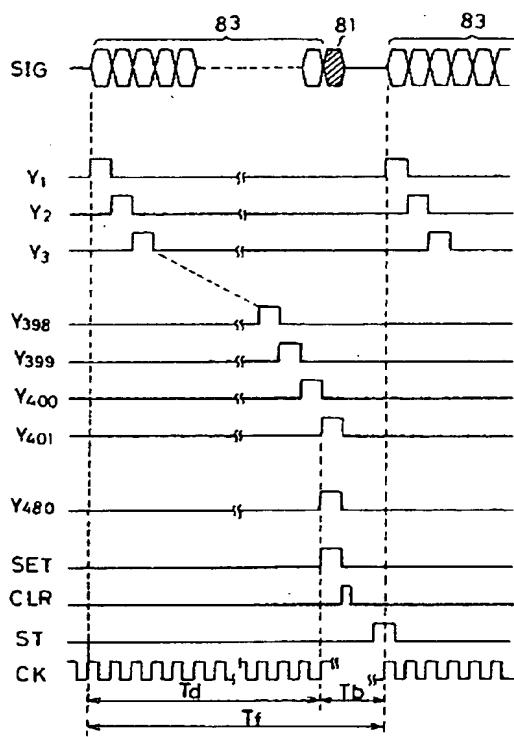
同 竹花 喜久男



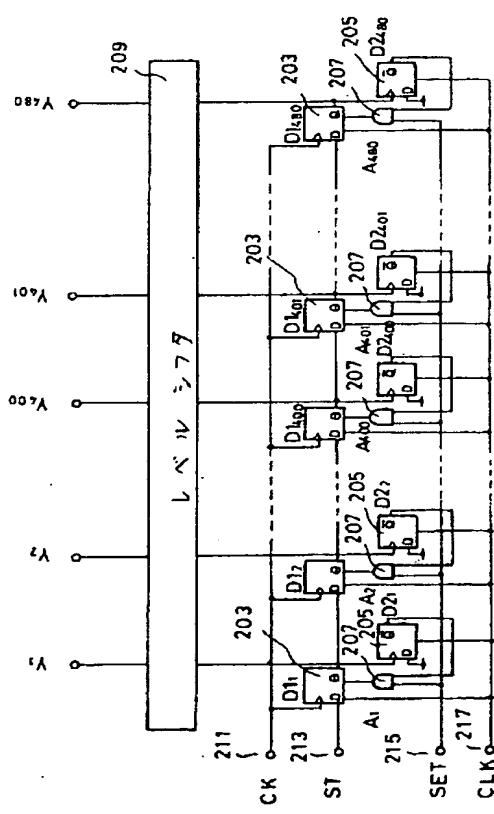
第1図

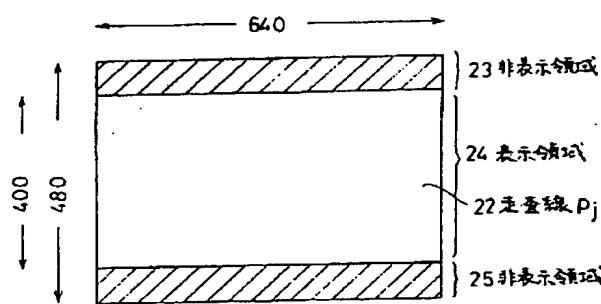


第2図

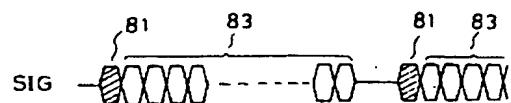


第3図

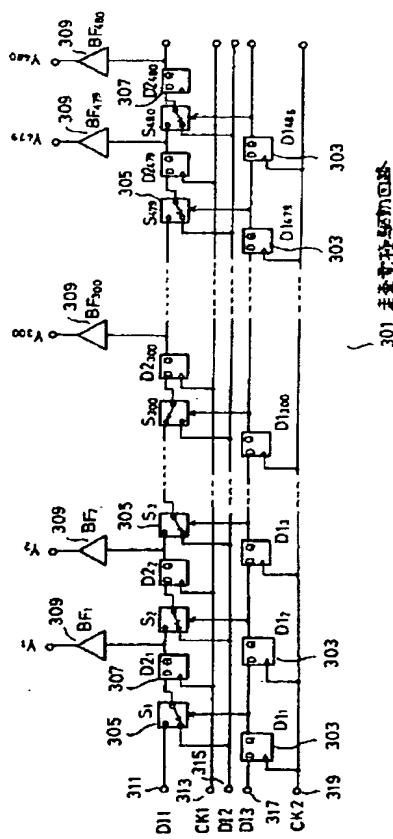
201 走査電極駆動回路
第4図



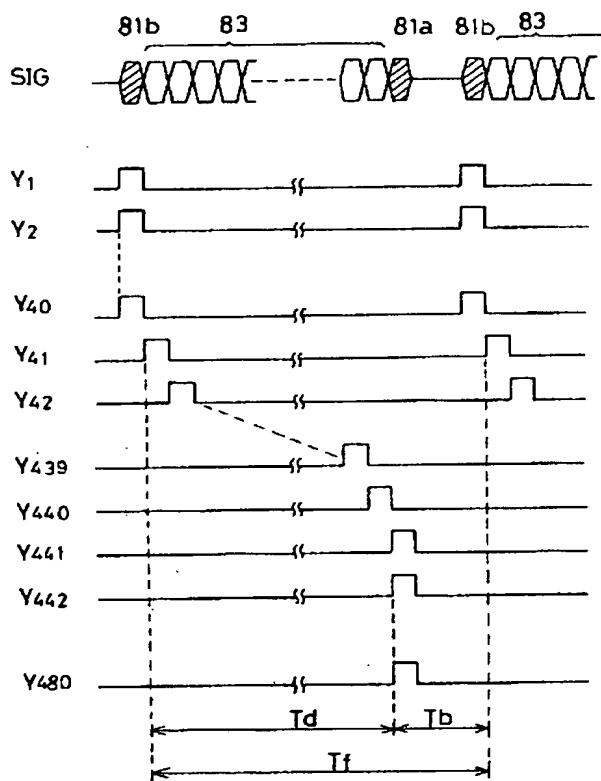
第 5 図



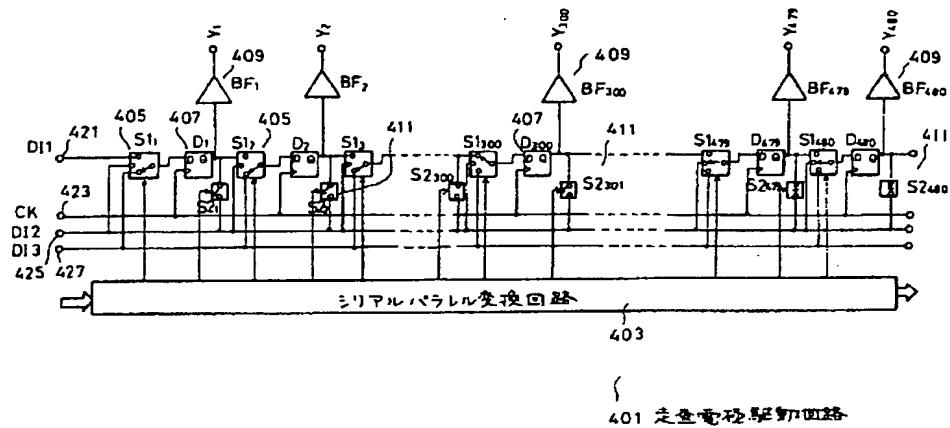
第 6 図



第 7 図



第 8 図



第 9 図

401 走査電荷駆動回路